

PAT-NO: JP406075240A
DOCUMENT-IDENTIFIER: JP 06075240 A
TITLE: LIQUID CRYSTAL DISPLAY DEVICE

----- KWIC -----

Abstract Text - FPAR (1):

PURPOSE: To provide the liquid crystal display device which improves the wiring to the input side electrodes of an IC in COG packaging and can be easily reduced in size and weight.

Current US Cross Reference Classification - CCXR (1):
349/149

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-75240

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1345	9018-2K		
	1/133	9315-2K		
G 0 9 G	3/36	7319-5G		

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-227002

(22)出願日 平成4年(1992)8月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72)発明者 鈴木 悦四

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

(72)発明者 千代田 浄

神奈川県川崎市幸区堀川町72 株式会社東

芝堀川町工場内

(74)代理人 弁理士 須山 佐一

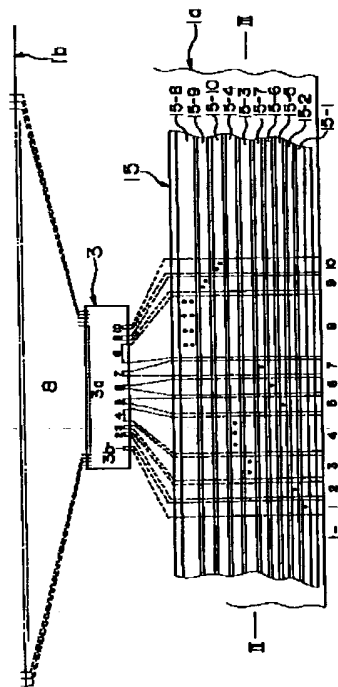
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 COG実装においてICの入力側電極への配線を改善し、小型化、軽量化を容易に実現し得る液晶表示装置を提供する。

【構成】 液晶表示装置の液晶を駆動する駆動IC3iを、液晶画面を構成する液晶セル基板1a上にフェースダウンで接合し、前記IC3の入力側電極に接続される配線パターン1-1~1-10と、上記配線パターンのそれぞれに接続さるべき共通配線15-1~15-10とを液晶セルの基板1aに設け、前記共通配線の絶縁層15aに、底端で前記共通配線に結合するメッキバンプ15iを設け、前記配線パターンのそれぞれとそれ等に対応する共通配線とを前記メッキバンプを介して接合してなる液晶表示装置。



1

【特許請求の範囲】

【請求項1】 液晶表示装置の液晶を駆動する1～n個の駆動ICを、液晶画面を構成する液晶セル基板上にフェースダウンで接合するチップオンガラス実装を行う液晶表示装置において、前記IC i ($i=1\sim n$)の入力側電極に接続された液晶セル上の配線パターン(Ai1、Ai2、…Ai m)と、上記配線パターンのそれぞれに接続されるべき共通配線(B1、B2、…B q)の絶縁層に穿設された小孔にそれぞれの小孔を埋めるように形成され、先端を前記絶縁層から僅かに突出させ、底端において前記共通配線に結合するバンパを有する可撓印刷回路と、配線パターン(Ai1、Ai2、…Ai m)と前記可撓印刷回路とを前記絶縁層を介して重ね、前記配線パターン(Ai1、Ai2、…Ai m)と共通配線(B1、B2、…B q)とを前記バンパを介して接合してなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はワープロ、パソコン等のディスプレイとして使用される液晶表示装置に関する。

【0002】

【従来の技術】小型に構成でき且つ省電力的であるため、ワープロ、パソコンなどのディスプレイとして、液晶表示装置が多用されるようになってきている。液晶表示装置としては、上記の小型化、省電力のみならず、表示画質の高品位化、画素の微細化等も強く要望されている。

【0003】液晶表示装置は、基本的に液晶駆動用外部電極を具えた液晶セルと、上記外部電極に接続され液晶を駆動する半導体ICと、上記ICを駆動または制御する電源を含む外部配線基板とを組み合わせる構成されている。小型化、軽量化、画素の微細化には、上記各構成部材の組み合わせの態様やそれ等の接合方法、すなわちモジュール実装方式が重要となる。モジュール実装方式は、液晶セルの外部電極と半導体ICの出力電極との接続態様に代表されるが、それ等の接続は従来QFP(Quad Flat Package)のICを実装したPCB(Printed Circuit Board)と、ゴムコネクタまたはフレキシブル基板を介して接続するようにしていた。

【0004】

【発明が解決しようとする課題】しかしながら、現在は小型化、軽量化、画素の微細化の要求が著しいため、TAB実装が主流となっている。すなわち、図5に示すように液晶セルの基板1aと、TAB2の出力電極4とを導電粒子入りの接着剤(異方性導電膜)5で接合し、前記TAB2の入力側電極端子6はPCB7の共通配線に半田等で接合する。なお、図中3は液晶駆動用の半導体ICを示す。上記構成のTAB実装においては、前記従来のゴムコネクタやフレキシブル基板による接続より微細な電極ピッチを採用することができ、画素の微細化を図ることができる。しかしながら、TAB製作に際して

2

キャリアテープのエッチングには限界があり、電極ピッチの微細化にも限度がある。

【0005】電極ピッチをより微細化するため、図6、図7、図8に示すように、液晶セルの基板1aにベアIC3をフェースダウンで接合し、液晶セルの基板1aの外部電極とベアIC3の出力電極とを直接に接続する所謂チップオンガラス(Chip on Glass 以下COGと呼ぶ)実装が提案され、一部実用化されている。このCOG実装には液晶セルの基板1aの検査技術や、ICフェースダウン接合技術等の面で問題があったが、これ等の問題は徐々に解決されつつある。また、液晶セルのカラーフィルタ1bにIC3が搭載されるため額縁(セル画面からモジュール外端までの距離)が大きくなる等の問題もあったが、横巾の小さなスリムIC(短冊状IC)の出現により、上記の問題は解決されつつある。従って、今後上記のCOG実装が広く採用されるものと考えられている。

【0006】しかしながら、COG実装において小型化、軽量化を一層推進するには、ICの入力側電極への配線を考慮しなければならない。図6はCOG実装の一例の要部の斜視図、図7は図6のB-B線における断面図であり、これ等の図に示したCOG実装の例は、液晶セルの基板1a上に2層のパターンを形成し、ICの入力電極への配線を実現するタイプである。すなわち、液晶セルの基板1aには予め液晶セル駆動電極とIC3の出力側電極とをつなぐ配線パターン群8と、IC3の入力側電極につながるパターン9～12が被膜パターンニングされている。また、上記各パターン9～12それぞれに9-1、10-1、11-1、12-1で接続される共通配線9a～12aも被膜パターンニングされている。すなわち、パターン9～12と共通配線9a～12aとは、絶縁層が2層の被膜パターン構造をなしている。

【0007】上記のCOG実装の例においては、ICの入出力電極への配線パターンにICを一括接続できる利点はあるものの、共通配線が薄膜によって形成されているため、ICへの電源配線やGND配線の抵抗が問題となる。前記の抵抗を低下させるために共通配線巾を大きくすれば、前記説明した額縁が大きくなることとなり、好ましくない。また、透明導電膜(ITO等)一層のパターンニングで構成された単純マトリックスでは、配線抵抗の確保や2層配線の実現のため、新たな成膜パターンニングが必要であり、結局上記透明導電膜による単純マトリックスは限られた一部の製品にのみ適用できるにすぎない。

【0008】上記各図と同一部分には同一符号を付した図8は、TAB実装の場合と同様に、ICの入力側電極につながる配線パターン9～12と、共通配線を具えたPCBとを可撓印刷回路(Flexible Printed Circuit 以下FPCと呼ぶ)13で接続するタイプの断面図である。この図に示した接続態様によれば、共通配線の抵抗

の問題は解決されるが、モジュールの高さHが大きくなる別の問題が生じる。特に、チップコンデンサ14等がPCBに搭載された場合には、高さHの増大は著しい。すなわち、COG実装ではTAB実装よりも寸法が大きくなる欠点がある。

【0009】本発明は上記の事情に基づきなされたもので、COG実装においてICの入力側電極への配線を改善し、小型化、軽量化を容易に実現し得る液晶表示装置を提供する。

【0010】

【課題を解決するための手段】本発明の液晶表示装置は、液晶表示装置の液晶を駆動する1～n個の駆動ICを、液晶画面を構成する液晶セル基板上にフェースダウンで接合するチップオンガラス実装を行う液晶表示装置において、前記IC_i (i=1～n) 入力側電極に接続された液晶セル上の配線パターン (Ai1、Ai2、…Ai_m) と、上記配線パターンのそれぞれに接続さるべき共通配線 (B1、B2、…B_q) の絶縁層に穿設された小孔にそれぞれの小孔を埋めるように形成され、先端を前記絶縁層から僅かに突出させ、底端において前記共通配線に結合するバンパを有する可撓印刷回路と、配線パターン (Ai1、Ai2、…Ai_m) と前記可撓印刷回路とを前記絶縁層を介して重ね、前記配線パターン (Ai1、Ai2、…Ai_m) と共通配線 (B1、B2、…B_q) とを前記バンパを介して接合してなることを特徴とする。

【0011】

【作用】上記構成の本発明の液晶表示装置においては、共通配線の絶縁層に設けられたバンパによって、液晶セル基板と共通配線との接合を行っているため、液晶表示装置に必要なチップコンデンサ等の実装を行うに際して、それ等をICとICとの間のFPC上に実装できるから、額縁の大きさを最小限とすることができる。

【0012】

【実施例】図5～図8と同一部分には同一符号を付した図1は、TFTタイプの液晶表示装置に本発明を適用した一実施例の平面図、図2はその一部の拡大平面図、図3は図2のIII—III線における断面図、図4はそれに垂直な線における断面図である。これ等の図において、ペアイC3-1はゲート線外部電極に接続され、ペアイC3-2は信号線外部電極に接続されている。図中、15および18はそれぞれペアイC2-1、同3-2の入力側電極に接続される共通配線群で、アディティブ法で形成したポリミドベースのFPCである。

【0013】図2において、配線パターン群8は液晶セル駆動配線とIC3-1、IC3-2の出力側電極とを結ぶ配線からなる。また、1-1～1-10はIC3の入力側電極につながるガラス基板上の配線パターンであり、それぞれ共通配線群15の各配線15-1～15-10との図中○印の接続箇所接続されている。

【0014】FPC15の絶縁層15a (ポリミド)

には、下面の配線パターン1-1～1-10との接続箇所にはエッチング等で小孔が設けてある。これ等の小孔は共通配線パターンの真下に位置しているため、図3に示すようにこれ等の小孔を埋めるようにメッキ法でバンパ15iが形成されている。すなわち、バンパ15iはその底端で配線15-iに接合し、その頂端は絶縁層15aから僅かに突出されている。配線パターン1-kとバンパ15iとを、導電粒子入り接着剤 (異方性導電膜) 19を介して熱圧着により接続する。接合点となるバンパの数

10 は、接続抵抗許容値や要求される信頼度によって定められる。また、配線抵抗が問題となる電源やGND配線等では、配線パターン、特に薄膜で形成されるIC3の入力側配線パターンの巾を大きく取るようにしている。

【0015】FPC15は両面FPCとすることもできるが、両面型とするとFPCは高価となると同時に点接合でなく、平面接合になるため接合の信頼性が問題となる。これに対して、上記のようなメッキバンパによる接合点の形成は、安価に行うことができる。また、チップコンデンサ等の実装を行う場合には、それ等をICとICとの間のFPC上に搭載することができ、モジュールの高さの増大を来すことはない。

【0016】また、IC3の入力側配線パターンの形状は例示のものに限定されず、ICの入力側電極の配置、FPCの合せ精度などを勘案して最適のものを選定することができる。さらに、上記実施例においてはアディティブ法により配線形成したFPCを用いているが、他の適宜手段により配線形成を施したFPCを用いてもよい。上記の実施例では配線パターンとバンパとの接合を異方性導電膜で接合しているがUV (紫外線) 接着など他の接合でもよい。

【0017】

【発明の効果】上記から明らかなように本発明の液晶表示装置においては、ICへの入力共通配線をFPCとしてこれをIC接合面とのガラス面に接合し、メッキバンパによる液晶セル基板と共通配線との接合を行っているため、液晶表示装置に必要なチップコンデンサ等の実装を行うに際して、それ等をICとICとの間のFPC上に実装できることから、額縁の大きさを最小限とすることができる。また、上記メッキバンパを採用して両面FPCを廃したため、コストの低減を図ることができる。

【図面の簡単な説明】

【図1】TFTタイプの液晶表示装置に本発明を適用した一実施例の平面図。

【図2】その一部の拡大平面図。

【図3】前図のIII—III線における断面図。

【図4】前図のIII—III線に垂直な線における断面図。

【図5】従来の液晶表示装置の一部を拡大して示す断面図。

【図6】液晶セル駆動部の配線概略を拡大して示す斜視

6

【図7】図6の斜視図。

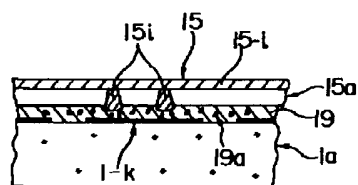
☒

【符号の説明】

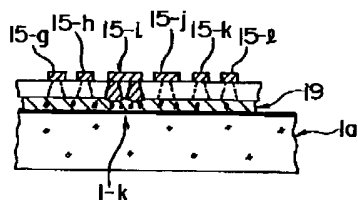
4.....TABの出力電極側端子

15、18…共通配線群

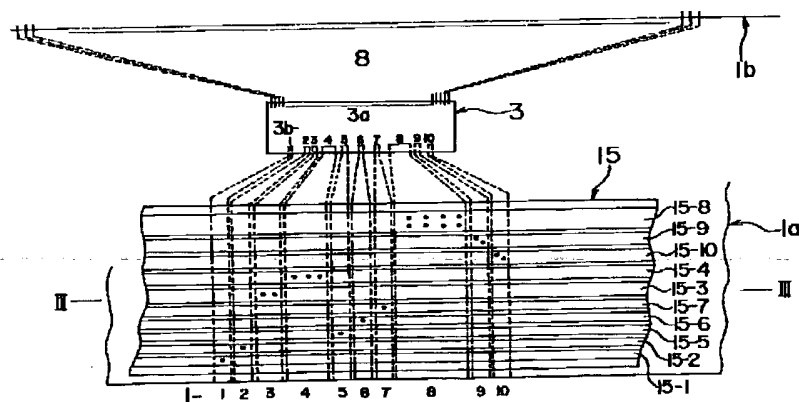
【図3】



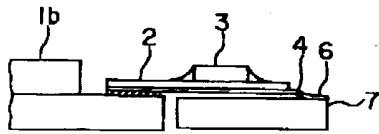
【図4】



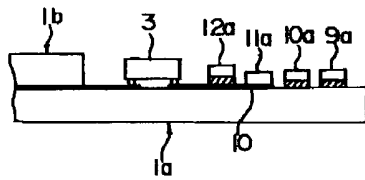
【図2】



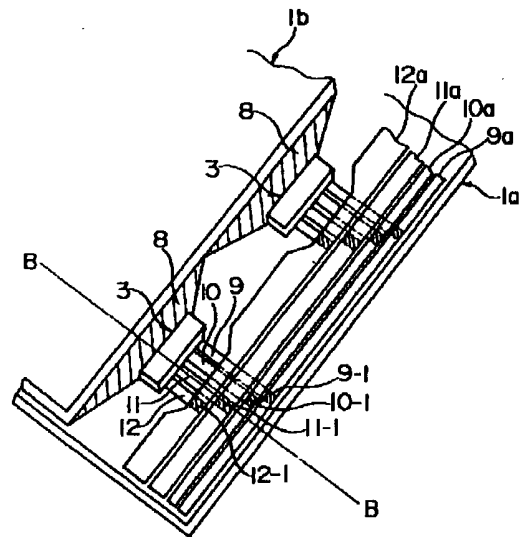
【図5】



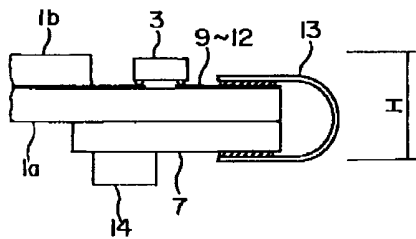
【図7】



【図6】



【図8】



フロントページの続き

(72)発明者 佐々木 剛
神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

(72)発明者 足立 佳正
神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内